

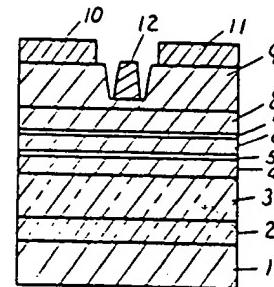
JA 6473
MAY 1989

(54) FIELD EFFECT TRANSISTOR

(11) 1-128473 (A) (43) 22.5.1989 (19) JP
 (21) Appl. No. 62-286056 (22) 12.11.1987
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) KAORU INOUE
 (51) Int. Cl. H01L29/80, H01L21/20, H01L29/205

PURPOSE: To assure a large current driving capacity by forming a barrier layer constructing a quantum well as an Al/GaAs layer where the composition of Al/As on the surface side is less than that on the side of a substrate beyond a specific value.

CONSTITUTION: A double-hetero structure composed of layers 4~8 is formed after forming on a semi-insulating GaAs substrate 1 a non-doped $Al_{0.3}Ga_{0.7}As$ layer 3 as a buffer layer. The layer 4 is an N type $Al_{0.3}Ga_{0.7}As$ of a thickness of 50~150 Å, the layer 5 is a non-doped $Al_{0.3}Ga_{0.7}As$ spacer layer of a thickness of about 20 Å, and the layer 6 is an $In_xGa_{1-x}As$ quantum well layer (x is less than 0.25) of a thickness of 100~200 Å. And, the layer 7 is a non-doped $Al_{0.15}Ga_{0.85}As$ spacer layer of a thickness of about 20 Å, and the layer 8 is an N type $Al_{0.15}Ga_{0.85}As$ layer. An N type GaAs layer 9 is formed on the double hetero junction structure composed of the layers 4~8. The structure provides a higher two-dimensional electron gas concentration in the $In_xGa_{1-x}As$ quantum well layer 6. Thus maximum drive current is assured in a FET of a gate length of 1~0.5 μm.



⑫ 公開特許公報 (A) 平1-128473

⑩ Int.Cl.

H 01 L 29/80
21/20
29/205

識別記号

府内整理番号

H-8122-5F
7739-5F
8526-5F

⑬ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電界効果型トランジスタ

⑮ 特願 昭62-286056

⑯ 出願 昭62(1987)11月12日

⑰ 発明者 井上 眞 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代理人 弁理士 中尾 敏男 外1名

明細書

1. 発明の名称

電界効果型トランジスタ

2. 特許請求の範囲

半絶縁性化合物半導体基板上に形成された
 $Al_xGa_{1-x}As$ バッファー層上に膜厚が 50 Å から
 150 Å の N 形 $Al_xGa_{1-x}As$ 層, $Al_xGa_{1-x}As$ スペーサ層, $In_yGa_{1-y}As$ 層、膜厚が
 100 Å から 200 Å の $In_yGa_{1-y}As$ 層、膜厚が
 20 Å 程度の $Al_xGa_{1-x}As$ スペーサ層および N 形
 $Al_xGa_{1-x}As$ 層が順次単結晶成長されたダブルヘテロ接合構造において、前記 $In_yGa_{1-y}As$ 層より
 表面側にある $Al_xGa_{1-x}As$ 層の Al_xAs 成分比 x を
 0.2 以下とし、かつ前記 $Al_xGa_{1-x}As$ 層の Al_xAs 成分比 x を y よりも大ならしめたヘテロ接合構造を
 有する電界効果型トランジスタ。

3. 発明の詳細な説明

産業上の利用分野

本発明はヘテロ接合構造を用いた電界効果型トランジスタ (ヘテロ接合 FET) IC 関するもので

あり、広い範囲のゲート電圧に対して高い相互コンダクタンスを有する、高電流駆動能力に優れたヘテロ接合 FET を提供するものである。

従来の技術

ヘテロ接合 FET は高周波特性に優れ、低雑音のマイクロ波用トランジスタや、高速スイッチング素子として注目されている。最も一般的に用いられているヘテロ接合 FET は、ガリウム砒素 ($GaAs$) 層上に N 型のアルミニウム・ガリウム砒素 ($AlGaAs$) 層を形成したヘテロ構造を有し、 $AlGaAs$ と $GaAs$ の界面にたまる高易動度の 2 次元電子ガスを利用するものである。2次元電子ガスの電子濃度は、通常、約 $1 \times 10^{12} / cm^2$ 程度と低く、ヘテロ接合 FET の電流駆動能力を向上させるために、2次元電子ガスの濃度を高めることが望まれていた。

2次元電子ガスの電子濃度を高めるヘテロ接合

構造として、第 3 図に示すダブルヘテロ接合構造 (*ダブルヘテロアライド・ファイン-クス*) が知られている (Japanese Journal of Applied Physics, Vol 23 pp. L61 (1984))。この構

造は、 GaAs 盤子井戸 b' を 2 つの N 形 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層 4 ではさんだものであり、 GaAs 盤子井戸 b' には両側の N 形 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層 4 より電子が供給されるため、2 次元電子ガス濃度をシングルヘテロ接合構造に比べ 2 倍に高めることが可能となる。実際に、ダブルヘテロ接合構造にたまる電子濃度を測定した場合、 $2 \times 10^{12}/\text{cm}^2$ 以上のシート電子濃度が得られることが認められ、この構造をヘテロ接合 FET に用いた場合、最大ドレン電流は、シングルヘテロ構造の場合に比べ約 2 倍となることが知られている。

発明が解決しようとする問題点

しかしながら、相互コンダクタンス (g_m) とゲート電圧 (V_{gs}) の関係を見ると第 2 図の曲線 II に示すように、あるゲート電圧において最大の g_m 値を得た後に V_{gs} の増加と共に g_m の値が著しく低下することがわかる。このような特性は、ダブルヘテロ接合の場合ばかりではなく、シングルヘテロ接合構造の場合でも見られる。 V_{gs} に対する g_m の変化の曲線において、最大 g_m 値の 1 倍以上

の g_m が得られる V_{gs} の範囲 4V をできるだけ大きくすることは、ヘテロ接合 FET によるマイクロ波集積回路 (MIC) を作製する上で重要なことである。なぜならば、ゲートバイアス電圧を与える電源は通常 1 つがあるので、4V が小さい場合に、MIC に含まれるすべてのヘテロ接合 FET を g_m の高い領域で動作させることができなくなるからである。従って、第 2 図の曲線 II ように 4V が小さいという従来のヘテロ接合 FET の問題点を解決することが望まれていた。本発明は従来のダブルヘテロ接合構造を用いたヘテロ接合 FET において、 g_m の高い V_{gs} の範囲 (4V) を広くするとともに、FET の性能そのものを向上させることのできる新しい構造のヘテロ接合 FET を提供するものである。

ゲート電圧が高い領域において相互コンダクタンスが減少する原因として考えられるのは、2 次元電子ガス濃度に上限が存在し、ある電圧以上のゲート電圧を加えても電子の数が増加しないということである。ゲート電圧の変化に対し、電子濃

度が変化しなくなる領域では相互コンダクタンスは 0 となる。実際、第 2 図の曲線 II に示したように、ゲート電圧の高い領域では、 g_m が殆んど 0 に近くなる様子がうかがえる。従って、FET のドレン電流が大部分、2 次元電子の伝導による場合は、 g_m が高いゲート電圧の領域で著しく低下することは避けがたいと考えられる。

一般に、ヘテロ接合 FET のドレン電流は 2 次元電子ガスによるものと、電子供給層である N 形 AlGaAs 層中を流れる並列伝導によるものの 2 成分からなる。第 4 図 a はシングルヘテロ接合構造のヘテロ接合 FET において AlGaAs 層の並列伝導を無視した場合のゲート電圧とドレン電流および相互コンダクタンスの関係を簡単なモデルで計算した結果を示している。また第 4 図 b は AlGaAs 層の並列伝導が極端に大きい場合の計算である。 AlGaAs 層の並列伝導成分が大きい場合 (第 4 図 b) 、高いゲート電圧に対しても g_m の低下は防止されることがわかる。従って、高いゲート電圧の範囲で、高い g_m 値を得ようとな

する場合には、 AlGaAs 層の並列伝導によるドレン電流成分を増加させる事が重要となる。しかしながら、通常 $\text{AlGaAs}/\text{GaAs}$ ヘテロ接合 FET で用いられている AlGaAs 層の AlAs 組成比は、およそ 0.25~0.3 と大きく、 AlGaAs 層の並列伝導を十分に大きくすることは困難である。

AlGaAs 層に並列伝導を生じさせるためには、通常、 AlAs 組成比を 0.2 以下とする必要があるが、この場合、 GaAs と AlGaAs のヘテロ界面で生じる伝導帯の不連続値 ΔE_c が小さいため、シングルヘテロ構造では、2 次元電子ガスの濃度が低下するという問題があった。

問題点を解決するための手段

本発明のヘテロ接合 FET では、ヘテロ接合構造として、ダブルヘテロ接合構造を用いる。このダブルヘテロ接合構造において、盤子井戸は、 GaAs もしくは $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層を用い、盤子井戸を構成するバリア層は、表面側での AlAs 組成が基板側の AlAs 組成よりも低くかつ、0.2 以下の AlGaAs 層よりなることを特徴とする。

作用

表面側のバリア層のAlAs組成を0.2以下とすることにより、ゲート電圧を正の方向に印加した場合、表面側のAlGaAs層での並列伝導が大きくなり、相互コンダクタンスが広いゲート電圧の範囲で大きいFETを作製できる。また、基板側のバリア層のAlAs組成が表面側よりも大きいことにより、量子井戸を流れる電流が量子井戸内あるいはそれより表面側に流れやすくなるので、FETのドレインコンダクタンスを小さくすることができると同時に、基板側のバリア層から供給される電子濃度を大きくできるので、本発明のFETは大きい電流駆動能力を有することになる。

実施例

第1図は本発明の第1の実施例を示すヘテロ接合構造断面図である。半絶縁性GaAs基板1に0.1μmの厚さのノンドープGaAs層2、0.2μmの厚さのノンドープAl_{0.3}Ga_{0.7}As層3をバッファーレンとして形成した後、層4、5、6、7、8であるダブルヘテロ構造を形成した。層4は、

駆動能力を有するFET作製に適していることが確認された。

第1図のヘテロ接合構造において特徴となる点は、既に説明したように、In_xGa_{1-x}As量子井戸層6をはさむ2つのAlGaAsバリア層のAlAs組成が基板側すなわち層4と5で0.3と高く、表面側すなわち層7と8で0.15と低くなるように構成されていることである。この様な構造のヘテロ接合FETの典型的な相互コンダクタンスとゲート電圧の関係は第2図Iで示される曲線で表わされる。一方、In_xGa_{1-x}As量子井戸層6をはさむ2つのAlGaAsバリア層のAlAs組成を表面側及び基板側で同一の0.3とした場合には、第II図の曲線IIで示されるような特性となり、相互コンダクタンスがゲート電圧の高い側で低下することが見てとれる。

本発明のヘテロ接合FETではIn_xGa_{1-x}As量子井戸層6の基板側のバリア層のAlAs組成が0.3と高く、このため、電子が量子井戸層内あるいはそれより表面側に閉じ込められるので、FET

60Åから150Åの厚さのN形Al_{0.3}Ga_{0.7}As層5は20Å程度の膜厚のノンドープAl_{0.3}Ga_{0.7}Asスペーサ層、層6は、厚さが100Åから200ÅのIn_xGa_{1-x}As量子井戸層であり、xは0.25以下としている。層7は厚さが20Å程度のノンドープのAl_{0.15}Ga_{0.85}Asスペーサ層、層8は300Åの厚さのN形Al_{0.15}Ga_{0.85}As層である。この層4、5、6、7、8よりなるダブルヘテロ接合構造の上にN形GaAs層9を500Åから1500Å形成し、ゲート電極形成部のみこのN形GaAs層9を一部除去し薄層化した後、ソース電極10、ドレイン電極11、ゲート電極12を形成しFETを作製した。

この構造においてIn_xGa_{1-x}As量子井戸層6にたまる2次元電子ガス濃度は、N形AlGaAs層4および8に添加するN形不純物濃度を約2×10¹⁸/cm³とした場合に、3×10¹²/cm³と高い値を示す。ゲート長1μmから0.5μmのFETを作製した場合に最大ドレイン電流として500～600mA/mmのものが得られ、この構造が高い電流駆

動能力を有するFET作製に適していることが確認された。

のドレインコンダクタンスは低くおさえられ、またショートチャネル効果によるゲート長短縮化に伴うしきい値電圧の変動は小さく抑えられるなどの長所がある。また、表面側のバリア層のAlAs組成が小さいため、ソース・ドレイン電極のオーム接觸抵抗も小さくなる。

次に第2の実施例について説明する。先の実施例1では、量子井戸を構成する材料としてIn_xGa_{1-x}As層を用いたが、これを100～200Å厚さのGaAsとして他の構成は第1図と同じものとしたヘテロ接合FETを作製した。量子井戸層をGaAs層としたため、量子井戸にたまる2次元電子ガス濃度は、2.5×10¹²/cm³程度と、いくぶん小さくなつたが、第2図の曲線Iと類似したゲート電圧と相互コンダクタンスの関係が得られ、広いゲート電圧の範囲において、高い相互コンダクタンスを示すヘテロ接合FETが得られた。

発明の効果

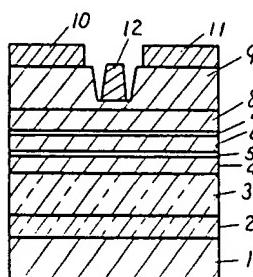
本発明のダブルヘテロ接合構造を有するヘテロ接合FETでは、GaAsまたはxが0.25以下の

$In_xGa_{1-x}As$ 層よりなる量子井戸層をはさんで、 $AlAs$ 組成が0.2以下の $AlGaAs$ バリア層を表面側に、 $AlAs$ 組成が表面側バリア層の値よりも高い $AlGaAs$ バリア層を基板側に設けているので、ゲート電圧を順方向に加えた時に表面側のN形 $AlGaAs$ 層の並列伝導により相互コンダクタンスの低下が抑止され、広いゲート電圧の範囲において高い相互コンダクタンスを有するようになること、表面側の $AlGaAs$ 層の $AlAs$ 組成が低いためオーミック接触抵抗が低下すること、また、基板側の $AlGaAs$ バリア層の $AlAs$ 組成が表面側よりも高いことから、ドレインコンダクタンスを低くできることとショートチャネル効果が抑制されることなど、ヘテロ接合FETの特性が大きく改善される効果を有する。なお $In_xGa_{1-x}As$ の x の値を0.25以下としたのは、100~200 Åの量子井戸層の厚さに対して良好な電気的特性を得るためにある。

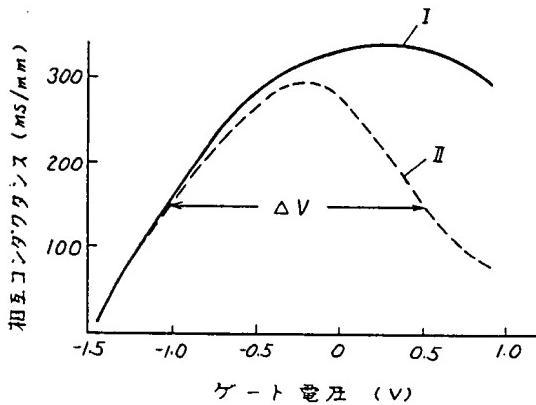
4. 図面の簡単な説明

第1図は本発明の第1の実施例を説明するため

第1図



第2図

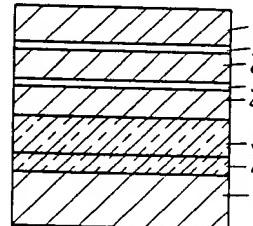


のヘテロ接合FETの断面図、第2図は本発明のヘテロ接合FETと従来のヘテロ接合FETのゲート電圧と相互コンダクタンスの関係を説明するための特性図、第3図は従来のヘテロ接合に用いられたダブルヘテロ接合構造の断面図、第4図は計算で求めたヘテロ接合FETの特性図である。

1 ……半絶縁性 $GaAs$ 基板、2 ……ノンドープ $GaAs$ 層、3 ……ノンドープ $Al_{0.3}Ga_{0.7}As$ 層、4 ……N形 $Al_{0.3}Ga_{0.7}As$ 層、5 ……ノンドープ $Al_{0.3}Ga_{0.7}As$ スペーサ層、6 …… $In_xGa_{1-x}As$ 量子井戸層、7 ……ノンドープ $Al_{0.16}Ga_{0.85}As$ スペーサ層、8 ……N形 $Al_{0.16}Ga_{0.85}As$ 層、9 ……N形 $GaAs$ 層、10 ……ソース電極、11 ……ドレイン電極、12 ……ゲート電極。

代理人の氏名 弁理士 中尾敏男ほか1名

第3図



第4図

